

Abstract

The present invention relates to an ESD (Electro-Static Discharge) protection circuit, and specifically to an ESD protection circuit configured to improve an ESD protection characteristic.

An ESD protection circuit of this kind according to the present invention is characterized by being configured by including: a substrate of a first conduction type in which an activation region and a field region are defined; a well of a second conduction type formed in a predetermined area in the activation region in the substrate of the first conduction type; a first and a second high-concentration impurity regions of the first conduction type formed with a certain distance therebetween in the well of the second conduction type; a low-concentration impurity region of the first conduction type formed between the first and the second high-concentration impurity regions of the first conduction type; and a high-concentration impurity region of the second conduction type formed with a certain distance between itself and the second high-concentration impurity region of the first conduction type.

특 1998-043416

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/06

(11) 공개번호 특 1998-043416
(43) 공개일자 1998년 09월 05일

(21) 출원번호	특 1996-061363
(22) 출원일자	1996년 12월 03일
(71) 출원인	엘지반도체 주식회사 문정관 충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자	박용 경기도 안양시 만안구 안양5동 367-7 12/2 최선 경기도 고양시 덕양구 관산동 231 통일빌라 B-101 김향규 대구광역시 동구 지제동 대성빌라 105-301
(74) 대리인	광흥복, 김용인

(54) 이에스디(ESD) 보호 회로

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

이와 같은 본 발명의 ESD 보호 회로는 활성영역과 필드영역으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 활성영역의 소정영역에 형성된 제 2 도전형 웰과, 상기 제 2 도전형 웰내에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 저항도 분순층 영역과, 상기 제 1 도전형 제 1, 제 2 저항도 분순층 영역 사이에 형성되는 제 1 도전형 저농도 분순층 영역과, 상기 제 1 도전형 제 2 저항도 분순층 영역과 일정한 간격을 갖고 형성되는 제 2 도전형 고농도 분순층 영역을 포함하여 구성됨에 그 특징이 있다.

- 도 1은 종래의 ESD 보호 회로를 나타낸 구조단면도
도 2는 본 발명의 ESD 보호 회로를 나타낸 구조단면도
도 3a와 도 3b는 종래와 본 발명의 동일한 전압에서 포텐셜의 차이를 나타낸 도면
도면의 주요 부분에 대한 부호의 설명
- 21 : n형 실리콘 기판 22 : p-웰
23 : 제 1 저항도 n형 분순층 영역 24 : 제 2 저항도 n형 분순층 영역
25 : 저농도 n형 분순층 영역 26 : 고농도 p형 분순층 영역

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

일반적으로 반도체 장치에 있어서, ESD(Electro Static Discharge) 보호 회로는 약 200 ~ 2000V의 정전기 동으로부터 내부회로가 파괴되는 곳을 막기 위한 보호 회로로서, 상기 ESD 보호 회로의 방법에는 SCR을

제 1 항에 형성된 영역(23)에는 접지전압(V_{ss})이 연결되며, 상기 고농도 n형 분순층 영역(25)에 전원전압(V_{dd})이 연결된다.

여기서 상기 제 1, 제 2 고농도 n형 분순층 영역(23, 24) 사이에 저농도 n형 분순층 영역(25)이 형성되면 핀과 접지단(V_{ss})에서 전하방전량이 증가한다.

여기서 절성구간의 구조는 n+ 영역 - p-웰 - n- 영역 - p-웰 - n+ 영역이 된다.

도 3a와 도 3b는 종래와 본 발명의 동일한 전압에서 포텐셜의 차이를 나타낸 도면이다.

도 3a와 도 3b에서와 같이 접지단(V_{ss})에 턴온(Turn On)되기 위한 V_a 가 V_b 보다 크며, 여기서 상기 V_a 는 접지단을 턴온시키기 위한 종래의 전압이고, 상기 V_b 는 접지단을 턴온시키기 위한 본 발명의 전압을 나타낸다.

그 결과 동일한 전압에서 본 발명에 따른 ESD 보호 회로의 전하방전량이 증가함을 볼 수 있다.

제 2 항

이상에서 설명한 바와 같이 본 발명의 ESD 보호 회로에 있어서 전하 방전량이 증가하므로써 ESD를 효과적으로 보호하는 효과가 있다.

제 3 항

청구항 1

절성구간과 필드구간으로 정의된 제 1 도전형 구간:

상기 제 1 도전형 구간의 절성구간에 형성된 제 2 도전형 웰:

상기 제 2 도전형 웰에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고농도 분순층 영역:

상기 제 1 도전형 제 1, 제 2 고농도 분순층 영역 사이에 형성되는 제 1 도전형 저농도 분순층 영역:

상기 제 1 도전형 제 2 고농도 분순층 영역과 일정한 간격을 갖고 형성되는 제 2 도전형 고농도 분순층 영역을 포함하여 구성됨을 특징으로 하는 ESD 보호 회로.

청구항 2

제 1 항에 있어서, 상기 제 1 도전형 제 1 고농도 분순층 영역에 외부에서 인가되는 핀이 연결된 것을 특징으로 하는 ESD 보호 회로.

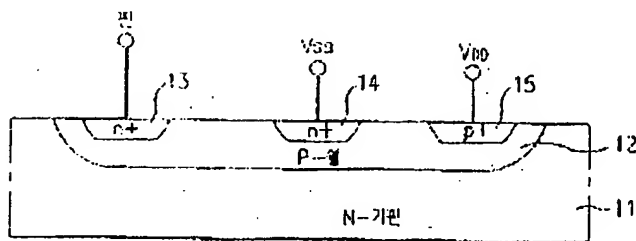
청구항 3

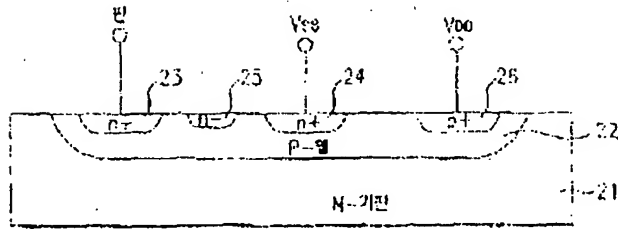
제 1 항에 있어서, 상기 제 1 도전형 제 2 고농도 분순층 영역에 접지단이 연결된 것을 특징으로 하는 ESD 보호 회로.

청구항 4

제 1 항에 있어서, 상기 제 2 도전형 고농도 분순층 영역에 전원전압이 인가됨을 특징으로 하는 ESD 보호 회로.

도 3





(a) (b)



(c) (d)

